

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Japanese Published Patent Application Sho. 51-65847

Pub. Date: June 7, 1976

Application No. Sho 49-139897 Appln Date: December 4, 1974

Inventor: Joji Kikuchi

Inventor: Sadao Nakano

Title: Interrupt Control System

WHAT IS CLAIMED IS:

An interrupt control system of a data processing apparatus in which not only are micro-instructions sequentially read out to advance processing, but address information of a control memory in which said micro-instructions are stored is also saved by an interrupt and said control memory is accessed by address information corresponding to said interrupt, wherein said data processing apparatus comprises: a decoder not only preparing a micro-instruction constructed such that an interrupt reset bit is added at a tail end of a processing routine corresponding to said interrupt or in the vicinity of said tail end thereof, but also decoding said interrupt reset bit; and control is performed such that said interrupt is reset by an output of said decoder and said control memory is accessed by said saved address information.

DETAILED DESCRIPTION OF THE INVENTION

The present invention especially relates to an interrupt control system in which a micro-instruction constructed such that

an interrupt reset bit is added at the tail end of an interrupt routine or in the vicinity of the tail end thereof is prepared and by decoding the micro-instruction, the process can return to a processing routine prior to the interrupt.

In the prior art, program routines for an interrupt processing were prepared with proprieties assigned to respective interrupt levels and when an interrupt of a level occurred, a routine in progress at the moment was suspended and the process entered an interrupt routine on condition that there existed no other interrupt with a higher priority. At that time, address information of the interrupted routine was saved and when an interrupt processing ended, the saved address information was returned.

It is an object of the present invention to enable the above described so-called interrupt processing to be effectively performed and to enable the interrupt processing to be automatically performed only by preparing an interrupt reset bit incorporated in an micro-instruction instead of especially preparing a micro-instruction for the above described interrupt processing as in the prior art. Therefore, an interrupt control system of a data processing apparatus in which not only are micro-instructions sequentially read out to advance processing, but address information of a control memory in which the micro-instructions are stored is also saved by an interrupt and the control memory is accessed by address information corresponding to the interrupt, wherein the data processing apparatus comprises: a decoder not only preparing a

micro-instruction constructed such that an interrupt reset bit is added at a tail end of a processing routine corresponding to the interrupt or in the vicinity of the tail end thereof, but also decoding the interrupt reset bit; and control is performed such that the interrupt is reset by an output of the decoder and the control memory is accessed by the saved address information. Description will be given of the interrupt control system below referring to a figure.

The figure shows one example configuration of the present invention. In the figure, 1 is a control memory in which micro-programs are stored, 2 is an address register in which address information for accessing the control memory 1 is set, 3 is a data register in which a read-out micro-instruction is set, 4 is a decoder, 5 is an instruction address memory area in which starting addresses of interrupt processing routines corresponding to respective interrupt levels are stored, 6 is an encoder, 7 is a save register, 8 and 9 are gates, 10, 11, 12 and 13 are flip flops, which are respectively set when interrupts with corresponding levels occur, 14 to 20 are AND circuits, and 21 to 23 are NOT circuits.

In an ordinary processing state, the control memory 1 is accessed by address information set in the address register 2 and a micro-instruction read out from the address is set in the data register 3. Contents of the set micro-instruction, not shown, are decoded and an operation corresponding to the contents is performed, while on the other hand, the next address information

NA written in the instruction is set in the address register 2 to be prepared for reading out the next micro-instruction.

When an interrupt is performed, the instruction address memory area 5 is accessed according to an interrupt level through the encoder 6 and address information corresponding to the interrupt level is set in the address register 2. During this period, address information of a routine in progress when the above described interrupt occurred was saved into the save register 7 through the gate 9 and is in a state of being prepared so as to be capable of returning to the address register 2 through the gate 8 when the interrupt routine ends.

When starting address information of the interrupt is set into the register 2, the control memory 1 is thereby sequentially accessed such that a desired interrupt routine is processed. When the interrupt routine ends, contents of the register 7 are transferred to the register 2 to return to an original processing.

In a case of return to the original processing of the present invention, an interrupt reset bit storage area is provided in a micro-instruction and when logical [1] is stored in the area, the storage area is decoded by the decoder 4. The interrupt is reset by an output of the decoder 4 such that return of the saved address is automatically performed.

In the case shown in the figure, it is shown that there exist interrupts from # 0 interrupt to # 3 interrupt and a higher priority is assigned to the # 3 interrupt side.

Description will be given of a case where it is assumed that the # 0 interrupt and the # 3 interrupt simultaneously occur. Hence, the flip flops 10 and 13 are reset together. At this time, the AND circuit 18 stays in an off state and the # 3 interrupt is guided into the encoder 6 such that a routine corresponding to the # 3 interrupt is processed. After the routine ends, the decoder 4 decodes an interrupt reset bit to output logical [1]. Thereby, the AND circuit 17 is turned on to reset the flip flop 13. At this time, however, the AND circuit 14 is not turned on.

In such a situation, since the NOT circuit 23 outputs logical [1], the AND circuit 18 is turned on and a routine corresponding to # 0 interrupt is read from the control memory 1 to be processed. At the last stage of the routine, the decoder 4 again decodes an interrupt reset bit to output logical [1]. Thereby, the AND circuit 14 is turned on and the flip flop 10 is also reset. That is, all the interrupts are reset.

The encoder 6 detects it and turns on the gate 8 and sets contents of the save register 7 to the address register 2, and control is performed such that the process returns to the first routine.

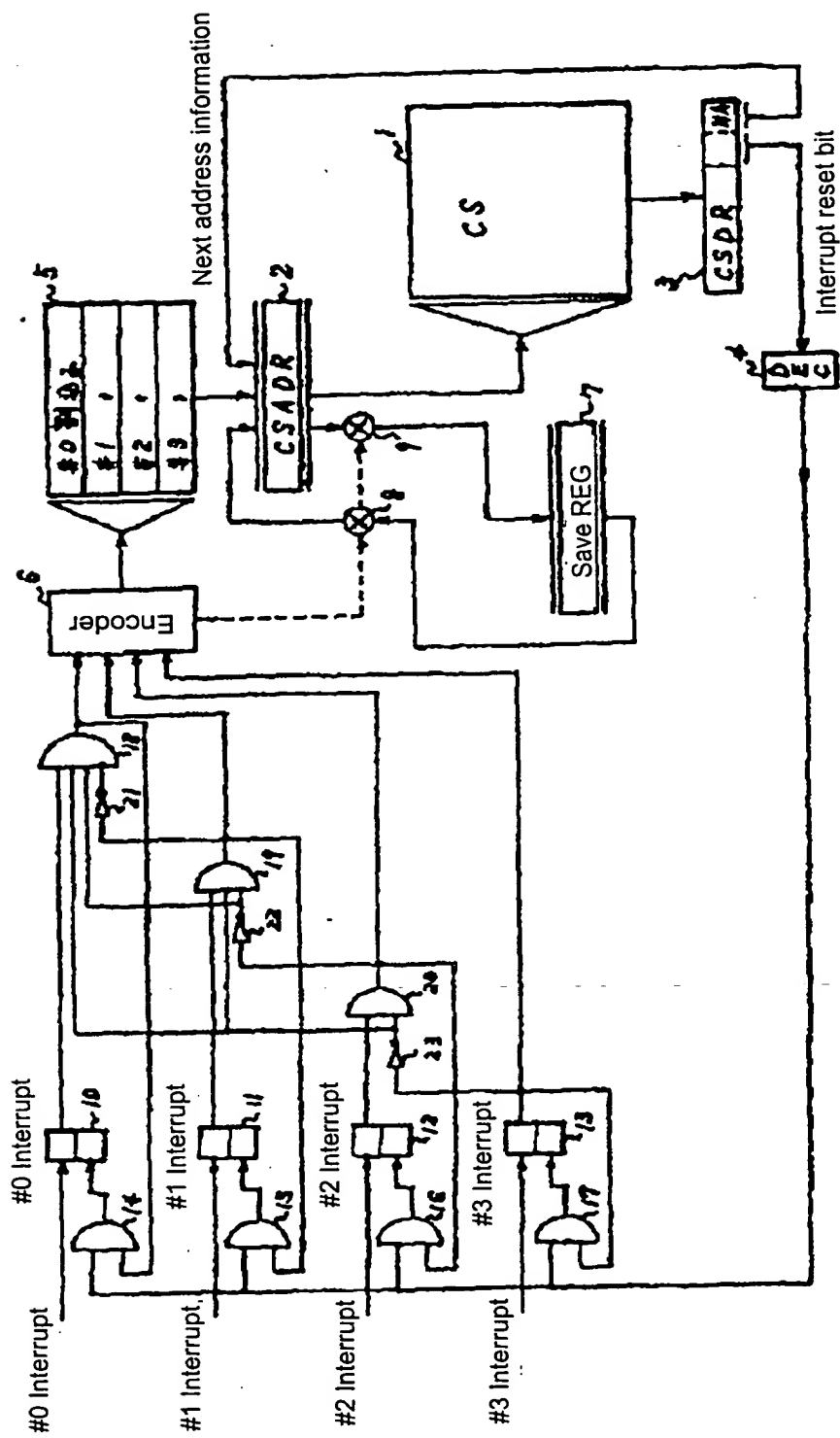
In a case of the present invention, as described above, an interrupt reset bit storage area is provided at the tail end of the interrupt routine or in the vicinity of the tail end thereof and a so-called interrupt processing can be automatically performed by hardware processing.

Note that needless to say that the save register 7 can be

functionally provided by use of an instruction address memory area or the like.

BRIEF DESCRIPTION OF THE DRAWING

The figure shows one example configuration of the present invention. In the figure, 1 indicates a control memory, 2 an address register, 3 a data register, 4 a decoder, 5, an instruction address memory region and 7 a save register.





特許庁長官
(2,000円) 10

特許願(2)

昭和49年12月4日

特許庁長官

齊藤英雄殿

1. 発明の名称

割込み制御方式

2. 発明者

住 所 神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

氏 名

菊地 隆 次(外1名)

3. 特許出願人

住 所 神奈川県川崎市中原区上小田中1015番地

氏 名

(522) 富士通株式会社

代表者 高 藤 芳 光

4. 代 理 人

住 所 東京都荒川区西日暮里4丁目17番1号

佐藤マツシヨン3F C

氏 名

(7484) 弁理士 森 田

5. 添付書類の目録

(1) 明 細 書 1 通

(2) 図 面 1 通

(3) 委 任 状 1 通

(4) 願 書 関 本 1 通

49 139897

方式 500

明 細 書

1. 発明の名称

割込み制御方式

2. 特許請求の範囲

マイクロ命令を順次読出して処理を進行すると共に、割込みにより上記マイクロ命令が格納される制御メモリのアドレス情報を退避し、かつ上記割込みに対応したアドレス情報により上記制御メモリをアクセスするようにしたデータ処理装置において、上記割込に対応した処理ルーチンの末尾またはその近傍に割込みリセット・ビットを附加したマイクロ命令を用意すると共に該割込みリセット・ビットを解釈するデコーダをもうけ、該デコーダ出力により上記割込みをリセットしかつ上記退避されたアドレス情報により上記制御メモリをアクセスするよう制御することを特徴とする割込み制御方式。

3. 発明の詳細な説明

本発明は、割込み制御方式、特に割込みルーチ

(1)

① 日本国特許庁

公開特許公報

①特開昭 51-65847

④公開日 昭51.(1976)6.7

②特願昭 49-139897

②出願日 昭49.(1974)12.4

審査請求 未請求 (全3頁)

庁内整理番号

6341 56

6522 56

⑤日本分類

97MF13

97MF31

⑤ Int.Cl²

G06F 9/16

G06F 9/12

ンの末尾またはその近傍に割込みリセット・ビットを附加したマイクロ命令を用意し該マイクロ命令を解釈することにより、上記割込み前の処理ルーチンに復帰できるようにした割込み制御方式に關するものである。

従来割込み処理のプログラム・ルーチンは割込レベル毎に優先順位をもうけて用意され、あるレベルの割込みが発生すると、より優先順位の高い他の割込みが存在しないことを条件に、現に実行中のルーチンを中断して割込みルーチンに入るようにされている。そしてこのとき上記中断されたルーチンのアドレス情報は退避され、割込み処理終了時に該退避したアドレス情報を復帰するようになされる。

本発明は、上記のいわゆる割出し処理を効果的に行ない得るよりすることを目的としており、従来上記割出し処理のために特別にマイクロ命令を用意していたのに代えて、マイクロ命令中に割込みリセット・ビットを用意するだけで上記割出し処理を自動的に実行し得るよりすることを目

(2)

的としている。そしてそのため本発明の割込み制御方式はマイクロ命令を順次読出して処理を進行すると共に、割込みにより上記マイクロ命令が格納される制御メモリのアドレス情報を退避し、かつ上記割込みに対応したアドレス情報により上記制御メモリをアクセスするようにしたデータ処理装置において、上記割込に対応した処理ルーチンの末尾またはその近傍に割込みリセット・ビットを附加したマイクロ命令を用意すると共に該割込みリセット・ビットを解説するデコードをもうけ、該デコード出力により上記割込みをリセットしかつ上記退避されたアドレス情報により上記制御メモリをアクセスするよう制御することを特徴としている。以下図面を参照しつつ説明する。

図は本発明の一実施例構成を示す。図中、1は制御メモリでマイクロプログラムが格納されているもの、2はアドレス・レジスタで制御メモリ1をアクセスするアドレス情報がセットされるもの、3はデータ・レジスタで読出されたマイクロ命令がセットされるもの、4はデコード、5は命令ア

(3)

ドレス情報がアドレス・レジスタ2にセットされる。この間、上記割込発生時に処理されつつあったルーチンのアドレス情報は、ゲート9を介して退避レジスタ7に退避され、割込みルーチンの終了時に再びゲート8を介してアドレス・レジスタ2に復帰し得るよう準備される。

上記割込みの先頭アドレス情報がレジスタ2にセットされると、これによつて制御メモリ1が順次アクセスされて所望の割込みルーチンを処理するようにされる。該割込みルーチンの終了時、レジスタ7の内容をレジスタ2に転送して元の処理に戻るようにされる。

該復帰のための処理に当つて、本発明の場合マイクロ命令中に割込みリセット・ビット格納領域をもうけ、該領域に論理「1」が立てられているとき、これをデコード4によつて解説する。そして該デコード4の出力によつて割込みをリセットするようにし、上記退避されたアドレスの復帰を自動的に行なうようにしている。

図示の場合、+0割込みから+3割込みまでの

(5)

ドレス・メモリ領域で各割込みレベルに対応した割込処理ルーチンの先頭アドレスが格納されているもの、6はエンコーダ、7は退避レジスタ、8、9はゲート、10、11、12、13は夫々フリップ・フロップで対応するレベルの割込みがあつたときセットされるもの、14ないし20はアンド回路、21ないし23はノット回路を表わしている。

通常の処理状態のもとでは、アドレス・レジスタ2にセットされたアドレス情報により制御メモリ1がアクセスされ、当該アドレスから読出されたマイクロ命令がデータ・レジスタ3にセットされる。図示を省略した該セットされたマイクロ命令の内容は解説され、該内容に応じた演算処理が実行され、一方該命令中に書込まれている次アドレス情報NAがアドレス・レジスタ2にセットされて、次のマイクロ命令を読出すようにされる。

割込みが行なわれると、割込みレベルに応じてエンコーダ6を介して命令アドレス・メモリ領域5がアクセスされ当該割込みレベルに応じたアド

(4)

割込みがあるものとし、+3割込み側がより高い優先順位をもつものとして示されている。

今+0割込みと+3割込みとが略同時に発生したとして以下説明する。上記によりフリップ・フロップ10と13とが一緒にセットされる。このときアンド回路18はオフ状態に保たれ、+3割込みがエンコーダ6に導びかれて該+3割込みに対応したルーチンが処理される。該ルーチンの最後においてデコード4が割込みリセット・ビットを解説して該デコード4は論理「1」を出力する。これによつてアンド回路17がオンされてフリップ・フロップ13はリセットされる。しかしこのときアンド回路14はオンされない。

これによつてノット回路23が論理「1」を出力するので、アンド回路18がオンされ、+0割込みに対応したルーチンが制御メモリ1から読出されて処理される。該ルーチンの最後においてデコード4が再び割込みリセット・ビットを解説して論理「1」を出力する。これによつてアンド回路14がオンされてフリップ・フロップ10もリセ

(6)

